

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-238555

(43)Date of publication of application : 24.10.1991

(51)Int.Cl.

G06F 15/60

(21)Application number : 02-035402

(71)Applicant : NEC CORP

(22)Date of filing : 15.02.1990

(72)Inventor : KAWARABAYASHI MASAMICHI

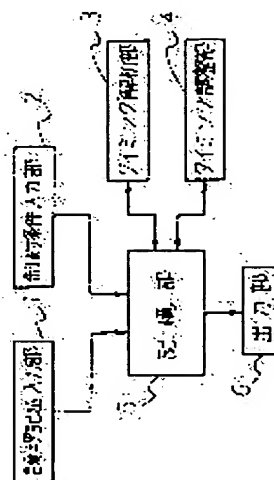
## (54) TIMING ADJUSTMENT SYSTEM

### (57)Abstract:

**PURPOSE:** To adapt this timing adjustment system to timing constraint conditions by moving the clock cycle of a part which do not match the timing constraint conditions to its precedent or trailing clock cycle within a range wherein the whole logical processing contents do not change.

**CONSTITUTION:** A timing adjustment part 4 compares the delay time of each path which operates in each clock cycle calculated by a timing analysis part 3 with the timing constraint conditions and if there is a part which is not adaptive, the operation of this part which is not adaptive is moved to the clock cycle right before or behind the current clock cycle within the range wherein the logical operation contents of an object logic circuit do not change, and then reorganized. Therefore, the delay time of each path which operates in each clock cycle matches the timing constraint conditions.

Consequently, the logic circuit which satisfies the timing constraint conditions is obtained without increasing the circuit scale.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of extinction of right]

**BEST AVAILABLE COPY**

## ⑫ 公開特許公報(A)

平3-238555

⑤ Int. Cl.<sup>5</sup>

G 06 F 15/60

識別記号

3 6 0 K

庁内整理番号

8125-5B

④ 公開 平成3年(1991)10月24日

審査請求 未請求 請求項の数 2 (全3頁)

④ 発明の名称 タイミング調整システム

② 特 願 平2-35402

② 出 願 平2(1990)2月15日

⑦ 発 明 者 河 原 林 政 道 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑦ 出 願 人 日 本 電 気 株 式 有 限 公 司 東京都港区芝5丁目7番1号  
⑦ 代 理 人 弁 理 士 内 原 晋

## 明 細 書

## 発 明 の 名 称

タイミング調整システム

## 特 許 請 求 の 範 囲

1. 対象とする論理回路の論理処理内容、構成素子、これら各構成素子の遅延時間及びこれら構成素子の接続情報を含む論理回路記述情報を入力する論理記述入力部と、前記論理回路の動作に対するタイミング制約条件を入力する制約条件入力部と、前記論理回路記述情報により各クロックサイクル内で動作する各バスの遅延時間を算出するタイミング解析部と、前記各クロックサイクル内で動作する各バスの遅延時間を前記タイミング制約条件と比較し適合していない部分があれば、前記論理内容に変化が生じない範囲で、この適合しない部分の動作を今までのクロックサイクルの前又は後のクロックサイクルに移して再編成し、各クロックサイクル内で動作する各バスの遅延時間

が前記タイミング制約条件に適合するようにするタイミング調整部と、前記論理回路記述情報、タイミング制約条件、前記タイミング解析部の算出結果、及び前記タイミング調整部による中間結果、最終結果を記憶する記憶部とを有することを特徴とするタイミング調整システム。

2. タイミング調整部が、各クロックサイクル内で動作する各バスの遅延時間をタイミング制約条件と比較し適合しているか否かを判別する制約条件判定手段と、前記タイミング制約条件に適合しない部分を抽出し、この部分に対し対象とする論理回路の論理処理内容が変化しない範囲でクロックサイクルの移動を行い再編成する回路抽出再編成手段と、再編成後の各クロックサイクル内の各バスの遅延時間が前記タイミング制約条件に適合しているか否かを検査するタイミング検査手段とを含んで構成された請求項1記載のタイミング調整システム。

発 明 の 詳 細 な 説 明

## 〔産業上の利用分野〕

本発明は、タイミング調整システムに関し、特に対象とする論理回路の各クロックサイクル内の各バスが与えられたタイミング制約条件に適合するように回路を構成するタイミング調整システムに関する。

## 〔従来の技術〕

従来、この種のタイミング調整システムは、論理設計された論理回路に対して、1つのクロックサイクル内で動作する各バスをとりだし、これら各バスの各ゲートの遅延時間などから算出したその各バスの入力から出力までの遅延時間を算出し、その結果、タイミング制約条件に適合しなかった場合、該当する部分を、その遅延時間が所望の制約を満足するように、再設計していた。

また、1つのクロックサイクル内で動作する各バスについて、その入力から出力までの遅延時間にタイミング制約条件をあらかじめ考慮した上で論理設計を行っていた。

## 〔発明が解決しようとする課題〕

部と、前記各クロックサイクル内で動作する各バスの遅延時間を前記タイミング制約条件と比較し適合していない部分があれば、前記論理内容に変化が生じない範囲で、この適合しない部分の動作を今までのクロックサイクルの前又は後のクロックサイクルに移して再編成し、各クロックサイクル内で動作する各バスの遅延時間が前記タイミング制約条件に適合するようにするタイミング調整部と、前記論理回路記述情報、タイミング制約条件、前記タイミング解析部の算出結果、及び前記タイミング調整部による中間結果、最終結果を記憶する記憶部とを有している。

## 〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。

この実施例は、対象とする論理回路の論理処理内容、構成素子、これら各構成素子の遅延時間及びこれら構成素子の接続情報を含む論理回路記述

上述した従来のタイミング調整システムは、1つのクロックサイクル内で所望のタイミング制約条件を満足するように論理を構成するように設計を行うため、回路規模が大きくなったり、そのクロックサイクル内では、所望の論理を機能を与えられたタイミング制約条件内で実現できないという欠点があった。

本発明の目的は、回路規模を増大させることなくタイミング制約条件を満足する論理回路を実現することができるタイミング調整システムを提供することにある。

## 〔課題を解決するための手段〕

本発明のタイミング調整システムは、対象とする論理回路の論理処理内容、構成素子、これら各構成素子の遅延時間及びこれら構成素子の接続情報を含む論理回路記述情報を入力する論理記述入力部と、前記論理回路の動作に対するタイミング制約条件を入力する制約条件入力部と、前記論理回路記述情報により各クロックサイクル内で動作する各バスの遅延時間を算出するタイミング解析

情報を入力する論理記述入力部1と、対象とする論理回路の動作に対するタイミング制約条件を入力する制約条件入力部2と、入力された論理回路記述情報により各クロックサイクル内で動作する各バスの遅延時間を算出するタイミング解析部3と、このタイミング解析部3で算出された各クロックサイクル内で動作する各バスの遅延時間を、タイミング制約条件と比較し適合していない部分があれば、対象とする論理回路の論理処理内容に変化が生じない範囲で、この適合しない部分の動作を今までのクロックサイクルの前又は後のクロックサイクルに移して再編成し、各クロックサイクル内で動作する各バスの遅延時間がタイミング制約条件に適合するようにするタイミング調整部4と、入力された論理回路記述情報、タイミング制約条件、タイミング解析部3の算出結果、及びタイミング調整部4による中間結果、最終結果等を記憶する記憶部5と、タイミング調整結果の論理回路記述情報等を出力する出力部6とを有する構成となっている。

次に、この実施例の動作について説明する。

機能設計結果から、自動設計もしくは人手設計された対象とする論理回路の論理処理内容、構成素子、これら構成素子の遅延時間、これら構成素子の接続情報等を含む論理回路記述情報は論理記述入力部1から、また、タイミング調整を行うための論理回路に対するタイミング制約条件は制約条件入力部2から入力され、それぞれ内部データ構造に変換されて記憶部5に格納される。

タイミング解析部3は、記憶部5に記憶されている論理回路記述情報を利用して、対象とする論理回路の各クロックサイクル内での各バスの遅延時間の算出を行い、記憶部5へ格納する。

タイミング調整部4は、制約条件判定手段と回路抽出再編成手段とタイミング検査手段とを含んで構成され、第2図の流れ図に示すステップで所定の機能を達成する。

まず、制約条件判定手段により、記憶部5に記憶されている各クロックサイクルの各バスの遅延時間とタイミング制約条件とを比較し、適合して

いるか否かを判別し適合していない部分を選択する(ステップS1)。

次に、回路抽出再編成手段により、タイミング制約条件に適合しない部分を抽出し、この部分に対し対象とする論理回路の論理処理内容が変化しない範囲で、動作するクロックサイクルを今までのクロックサイクルの前又は後のクロックサイクルに移動させ、これらクロックサイクルに関連する部分の再編成を行う(ステップS2)。

タイミング検査手段は、再編成後の各クロックサイクル内の各バスの遅延時間がタイミング制約条件に適合しているか否かを検査し、適合していなければ回路抽出再編成手段に戻し(ステップS3)、ステップS2、S3の処理をくり返す。

適合すればステップS4で全てのタイミング調整が終了したか否かを判定し、未終了であればステップS1に戻り、終了であれば、タイミング調整結果を記憶部5に格納する。

そして、記憶部5に格納されたタイミング調整が済んだ論理回路記述情報等を出力部6により出

力する。

(発明の効果)

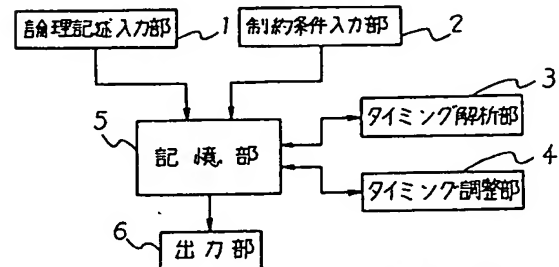
以上説明したように本発明は、タイミング制約条件に適合しなかった部分のクロックサイクルを、全体の論理処理内容が変化しない範囲で、そのクロックサイクルの前又は後に移し、再編成する構成とすることにより、1つのクロックサイクル内に納めるように構成素子を再設計する必要がないので、回路規模を増大させることなくタイミング制約条件を満足する論理回路を実現することができる効果がある。

図面の簡単な説明

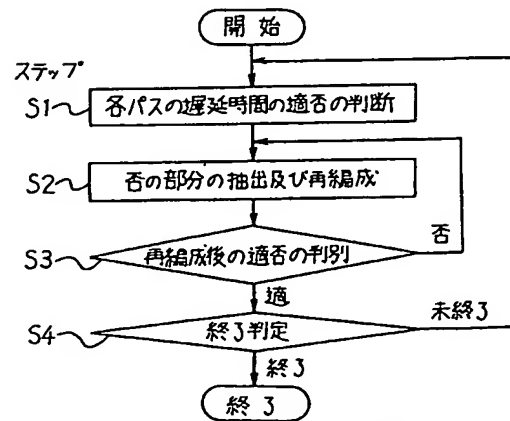
第1図は本発明の一実施例を示すブロック図、第2図は第1図に示された実施例のタイミング調整部の動作を説明するための流れ図である。

1…論理記述入力部、2…制約条件入力部、3…タイミング解析部、4…タイミング調整部、5…記憶部、6…出力部、S1～S4…ステップ。

代理人 井理士 内 原 晋



第1図



第2図